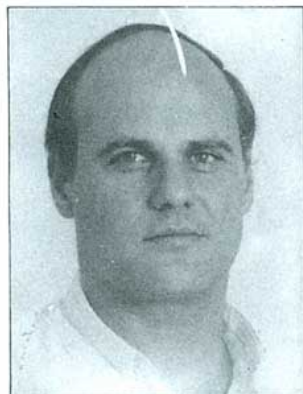


El diseño de circuitos "Custom" se inició alrededor de 1970 y un año después apareció el primer microprocesador INTEL 4004 (PMOS con 2300 transistores) como una de sus primeras aplicaciones. Esta fue la señal de salida de una vertiginosa carrera para integrar cada vez más transistores en menos espacio, más rápidos y con mejores herramientas de ayuda. En aquellos momentos las ecuaciones diferenciales que rigen el comportamiento de los nodos eléctricos se integraban a mano, y se tabulaban sus resultados con algún pequeño ordenador de la época (tipo "ratio" y "ratioless") cuyas ideas originales todavía se están aplicando hoy en día en CMOS a fin de aumentar la densidad de integración y su velocidad. El trazado era sobre papel milimetrado y con lápices de colores para cada máscara (de 4 a 6); el resultado era posteriormente trasladado al ordenador mediante viejos digitalizadores; dicho ordenador controlaba un equipo de corte que sobre unas láminas coloreadas en rojo (rubyliths)



Rafael Burriel Lluna. Ingeniero por la ETSITM, en 1969 inició su actividad de diseño custom VLSI en Standard Telephone Laboratories en Harlow (U.K.) en 1972, 1973, 1978 y principios de 1979, trabajando en los intervalos en diseño de terminales de datos con microprocesadores. A finales de 1979 inició la actividad de diseño VLSI en el Centro de Investigaciones de Standar Eléctrica con la realización de un primer circuito custom en 1982 (pasó a producción). Dirigió el Centro de diseño de ASIC's hasta 1986 y actualmente es responsable de diseños avanzados full-custom y de técnicas de prueba.

Circuitos integrados Custom

Texto: Rafael Burriel Lluna

cortaba los polígonos digitalizados. La verificación de las reglas de diseño era manual e incluía la comprobación del correcto "pelado" de los "rubys" que servían de base para la fabricación de las "retículas" y posteriormente máscaras. Como resultado se podían obtener después de casi un año de diseño un circuito de transistores "c" canal "p" en 25 mm² y operando a 2 MHz, con longitudes de puerta de 15.

El panorama ha cambiado en 17 años de forma espectacular: capacidad de integración multiplicada por más de 200, velocidad de operación por 20, tamaño de oblea de 1 pulgada a 8 pulgadas (no industrial) donde, según Technical Insights Inc. N.J. se comenzaron 12.575 nuevos diseños de ASIC's en 1986 (9.000 arrays, 3.000 células standar, 500 full custom y 75 a través de compiladores de silicio) y se estiman 90.000 en 1990.

Los objetivos que han impulsado la investigación de estos últimos años han sido los siguientes:

- Aumentar la capacidad de integración por circuito.
- Aumentar la velocidad de operación del mismo.
- Mínimo coste de fabricación unitario.
- Mínimo coste y tiempo de pruebas.
- Mínimo coste y plazo para obtención de prototipos.
- Herramientas HW y SW para obtención de un primer silicio correcto.
- Técnicas de diseño robusto para obtener un rendimiento industrial de oblea rentable.
- Máxima reutilización de módulos ya diseñados y caracterizados (inversión).

Toda justificación a los avances del diseño VLSI está íntima e indisolublemente ligada a un **proceso industrial** de mejora permanente de la relación prestación/coste del circuito VLSI en una producción masiva de circuitos integrados que nece-

sita inversiones cada vez más altas y requiere el funcionamiento permanente de sus instalaciones a fin de poder amortizarlas. Cada fabricante de ASIC's dispone de programas de optimización continua de los rendimientos de cada una de las múltiples fases (más de 60) que los circuitos VLSI sufren en su fabricación.

Tendencia en velocidad de operación

Se ha demostrado, en laboratorio, la factibilidad de fabricación de MOSFET's con longitud efectiva de puerta entre 0,1 y 0,2 µm con un retraso de 20 picosegundos y se estima el máximo de la frecuencia de operación del silicio con 2 GHz (fig. 1), todavía lejos de las posibilidades actuales e industriales del CMOS que, mediante aplicación de la ley del escalamiento ha sido posible reducir la dimensión característica de la tecnología de 15 µm (1970 a la actual 0,8-1 µm para procesos industriales (se podría definir un proceso como industrial a partir del primer millón de circuitos aceptados por clientes). El escalamiento ideal permite mantener las características eléctricas de un dispositivo MOS al **reducir** mediante un factor K todas dimensiones físicas del transistor (longitud y anchura de canal, espesor del óxido delgado de puerta, profundidad del drenador y fuente, pistas, ... etc.) y la tensión de alimentación mientras que la concentración de impurezas quede multiplicada por el mismo factor K.

Problemas tecnológicos del escalamiento

Debido a compatibilidad con los universales (por ahora) 5 voltios de alimentación, se ha estado aplicando una alternativa a esta ley (Fig. 2) que aumenta la potencia disipada, la densidad de corriente y el campo eléctrico Eox así como acelera mecanismos de Fallo (electrones calientes, perforación

o punchthrough por aumento de dopado, etc.). La longitud de las interconexiones tampoco escalan en la misma proporción que la dimensión característica ($\approx L_{eff}$) ya que se aprovecha para integrar más el área del circuito no escala, o incluso aumenta y las capacidades de borde lateral se mantienen o aumentan, de modo que el retardo RC de la interconexión se va convirtiendo en el factor dominante.

El óxido delgado presenta problemas de fiabilidad por debajo de los 100 Angstroms que es el valor necesario para una longitud efectiva de los transistores inferiores a la micra (actualmente se usan 200-250 Å para 1.25 μm) debido a que el margen entre la tensión de ruptura intrínseca del óxido y la de operación se estrecha y no permite aplicar tensiones de quemado (burn-in) (superiores a la de operación) para eliminar la mortalidad infantil de los ASICs. Este es uno de los problemas derivados de la continua reducción de dimensiones que, por otra parte, tan buenos resultados ha proporcionado en cuanto a velocidad máxima de operación (Fig. 7). Existen otros problemas agravados por el mantenimiento de los 5 voltios como tensión de alimentación tales como efecto túnel a través del delgado óxido de puerta o el incremento de la corriente de sustrato, con riesgo de latch-up, originado por electrones calientes (hot electrons) causados por los altos campos superficiales en las proximidades del drenador 6×10^6 volt/cm). Esta problemática va a hacer imprescindible en un breve plazo una reducción de la tensión de alimentación de 5V a 3 ± 0.3 V (algunos fabricantes solicitan 2 V) y ya, a principios de este año IBM y NTT introdujeron una RAM de 4 Megabits y un chip de prueba de 16 Mbits, respectivamente, a 3.3 voltios. Con V_{DD} alrededor de 3 voltios todavía es posible realizar interfaz con familias de 5 voltios, aparte

1

RETARDO ALCANZADO POR OSCILADORES DE ANILLO EN DIVERSAS TECNOLOGIAS

LG (mm)	L_{eff} (mm)	T_d (ps)	Technology	Ref.
2	1.4	270	NMOS	(55)
1	0.85	150	CMOS	(17)
1.3	0.7	80	NMOS	(55)
	0.4	31	NMOS	(56)
	0.3	50	NMOS	(57)
	2	115	SOI	(58)
	1	95	SOI	(59)
	0.8	80	CMOS/SOS	(60)
0.8		77	GaAs MESFET	(61)
1.2		72	GaAs MOSFET	(62)
1.2	0.4	66	GaAs MESFET	(63)
0.5		34	GaAs	(64)
0.3		17	GaAs MESFET	(65)

FUENTE: Proceedings IEEE, Dic-86.

2

IMPACTO DE ESCALAMIENTO IDEAL ($K > 1$) CON TENSION DE ALIMENTACION CONSTANTE Y ESCALADA

	V_{DD} Constante	Campo Eléctrico $E_{ox} = cte$
Tensión de alimentación.	1	1/K
Concentración impurezas.	K	K
Corriente del transistor.	$K - 1^*$	$1/K - 1/K^*$
Densidad corriente en metal.	K^1	$K^{3/2}$
Densidad corriente en contacto.	K^1	$K^{3/2}$
Capacidad Cox (óxido puerta).	1/K	1/K
Carga elec. almacenada en óxido.	1/K	$1/K^2$
Campo eléctrico Eox.	K	1
Capacidad de unión.	$1/K^{1/2}$	1/K
Potencia disipada por puerta.	K	$1/K^{1/2}$
Retardo de puerta tp.	$1/K^2$	$1/K^{3/2}$
Retardo x potencia.	1/K	$1/K^1$
Resistencia de interconexión.	K	K

(*) Valores límite en saturación.

“
La aparición
del primer
microprocesador
fue la señal de
salida de una
vertiginosa
carrera.
”

de favorecer la incorporación de convertidores 5V/3V en el chip. No se sabe si la nueva estandarización de la V_{DD} se hará a hechos consumados o bajo recomendación de algún organismo (JEDEC por ejemplo). La investigación en marcha para proseguir la carrera de la integración y resolver los problemas expuestos anteriormente acelera la búsqueda de nuevos materiales activos y de interconexión, así se progresa en:

- Siliciuros y policriuros para puerta e interconexión para “puentear” la resistencia de interconexión del polisilicio.

- Material refractario de muy baja resistividad para electrodo de puerta (menor dopado posible y menor riesgo de punchthrough consecuentemente).

- Aislamiento con técnica de trinchera (trench) que posibilita mayor densidad de integración.

- Evolución pozo n pozos gemelos, pozos quadriples.

Los pozos gemelos (twin wells) permitirán optimizar separadamente transistores n y p en CMOS. Una mayor optimización se consigue mediante pozos gemelos profundos (zona de transistores) y pozos gemelos superficiales (debajo del óxido de campo) formando el quad-well.

- Metalización a varios niveles (3 ó 4 en la década de los 90 para lo que es imprescindible incorporar procesos de planarización a la “accidentada” orografía de los circuitos integrados a fin de mantener la deseable densidad de pistas metálicas (sobre todo las superiores).

- Incorporación de “drivers” bipolares en CMOS para menor 1 μm y V_{DD} de 3 voltios (más eficientes).

- Tamaños mayores de oblea: 6 pulgadas son industriales hoy y en los laboratorios se está trabajando ya con 8 pulgadas. Un estudio económico que confronte inversión con los nuevos rendimientos de oblea (debido a una mejora en el control de parámetros físicos a lo largo de la misma) determinarán la fecha de incorporación a la industria.

- Menor presencia de partículas y menor tamaño de éstas (Fig. 4): partículas de saliva al hablar (iones de potasio), de cosmética, caspa, etc., que inciden como abusos sobre el silicio contaminándolo. Se está avanzando para eliminar la presencia humana mediante una automatización progresiva.

Aún así todavía se espera una reducción de las dimensiones por escalamiento con factor superior a 2, y más allá se espera aplicar técnicas de redundancia y tolerancia frente a fallos para reconfiguración del ASIC.

Parece considerarse un límite inferior de longitud de canal de $Leff = 0,25 \mu m$ (a 3 voltios naturalmente) en tecnología MOS por las causas antes descritas y a nivel industrial (no en laboratorio) y unos 100 millones de bits como la máxima integración alcanzable en un circuito integrado en la próxima década.

Al hablar de evolución de los ASIC's recurrimos a los microprocesadores y memorias (VLSI estándar) puesto que son el exponente avanzado en tecnología (memorias), técnicas de diseño y arquitecturas (microprocesadores) que se utilizarán posteriormente (de 2 a 4 años) en el desarrollo de ASICs. Así el 180386 apareció en 1985 con 275.000 transistores y está ya, prácticamente, a nuestro alcance en diseño con Sea of gates (Mar de puertas) o diseño custom estructurado aunque las herramientas de simulación y trazado todavía chirrien.

Aunque el CMOS está siendo la tecnología más popular en diseño custom hay muchas aplicaciones para las que no es adecuada y para muy alta velocidad tenemos:

Arseniuro de Galio que ha sido la promesa incumplida (para LSI) durante varios años debido a su mayor coste intrínseco de oblea (200 a 300 dólares por oblea de 3 pulgadas frente a los 5-10 dólares del silicio a 4") y a pesar de exhibir una mayor movilidad de electrones (6 veces) y mayor velocidad en saturación (2 veces) que el silicio se ha aplicado poco en la industria, hasta ahora, y principalmente en analógico y aplicaciones militares, aunque se aprecia que el despertar de esta tecnología se considera inminente, quizás

3

ACELERACION EN MECANISMOS DE FALLO A CAUSA DE SUBIDA DE TEMPERATURA POR ESCALAMIENTO ($K = 1.25$). (Area de chip y encapsulados iguales).

Mecanismo de fallo T. Inicial = 55°C	Factor de aceleración	
	T. final = 145°C VDD = cte	= 100°C Eox = cte
Electromigración: Metal y contacto abiertos	5.3	1.2
Fugas en contacto	22	1.5
Ruptura de óxido delgado.	2.7	1.1
Electrones calientes	0.8	1
Contaminación	28-108	1.5-1.8
Ganancia/perdida carga Eprom	7.4	1.3

FUENTE: Proceeding IEEE DEC-1986)

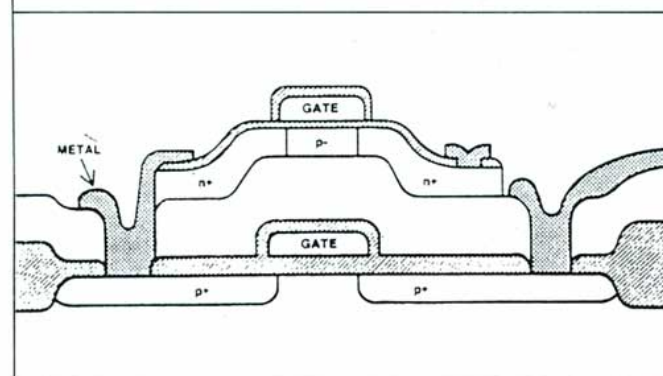
4

RAM DINAMICA: Evolución

Año	Capacidad (bits)	Oblea	Tecnología	Tamaño crítico partícula	Nº defectos permisible/cm²
1976	16 K	4"	4 μ	1.3 μ	0.6
1979	64 K		2.5 μ	0.8 μ	0.3
1982	256 K	5"	1.5 μ	0.5 μ	0.15
1985	1 M		1 μ	0.3 μ	0.08
1988	4 M	6"	0.7 μ	0.2 μ	0.05
1991	16 M		0.5 μ	0.15 μ	—

5

INVERSOR C-MOS EN 3 DIMENSIONES



6

IMPORTANCIA DEL RETARDO POR INTERCONEXION EN TECNOLOGIA CMOS

Longitud de Interconexión	Retardo (Subida/bajada)ns
0.1 mm	0.57/0.25
1 mm	0.74/0.35
5 mm	1.5/0.82
10 mm	2.54/1.49

FUENTE: Computer Design. Ago-87.

como resultado de los trabajos de crecer una película de AsGa sobre silicio lo que abarataría la oblea de partida.

A principios de 1987, Honeywell consiguió un oscilador en anillo que a 77° K presentaba tiempos de retardo de 8.5 picosegundos (a temperatura ambiente 11.6 ps).

La tecnología de AsGa, a pesar de su menor capacidad de integración actual (1000-2000 puertas) se considera de mejores prestaciones que la tecnología bipolar ECL, consume menor potencia que ésta (de 0.25-2 mw/puerta con tecnología E/D (Enhancement/Depletion) a la misma velocidad, también dispone de buena capacidad de ataque (driving) y admite una temperatura de funcionamiento mayor que la del silicio (de -200° C a + 200° C).

También admite la posibilidad de integración de dispositivos electro-ópticos tales como láser y detectores en el mismo circuito integrado que permitirán un mínimo retardo de interconexión que es uno de los problemas más graves que se presentan en la nueva etapa de integración a gran escala y a gran velocidad (Fig. 6), ya que a medida que los circuitos se hacen más densos y con mayores frecuencias de operación las conexiones eléctricas comienzan a no ser un medio seguro para transmitir datos a la velocidad y fiabilidad (sin "skew") requeridos. La incorporación de interconexiones ópticas permitirá anchuras de banda de gigabits y fan-outs del orden de 100 añadiendo inmunidad a diafonía y a interferencias (En las autopistas alemanas hay señales que advierten de la presencia de fuertes campos electromagnéticos - centrales-Eléctricas- como factor de riesgo para los modernos automóviles muy computerizados).

Los medios de interconexión ópticos pueden ser de un circuito encapsulado a

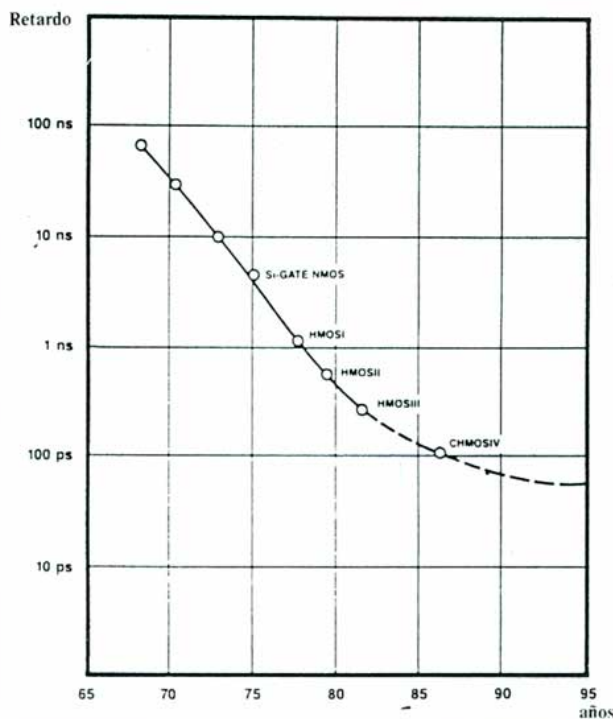
otro, de un chip a otro (dentro de un híbrido) e incluso dentro de un mismo chip y pueden consistir en fibra óptica, el espacio libre o material vítreo depositado sobre AsGa formando una guía de onda óptica. (IEEE. Spectrum Marzo 1987); estas últimas permiten que dos caminos ópticos se corten en el mismo plano sin interferirse, y dichas pistas estar más densamente distribuidas que sus equivalentes pistas eléctricas. Naturalmente la clave radica en el alineamiento fibra/sensor o fibra/láser que implica una precisión mecánica notable. Estos avances en interconexión son más a medio plazo que la pura disponibilidad de bibliotecas/arrays en AsGa 1 μ m hasta 3 Gigahertzios que están presentes hoy en día con compatibilidad ECL (más de media docena de fabricantes).

Uno de los mayores problemas del diseño con AsGa radica en las **pruebas de los circuitos**, pues estos pueden ser más rápidos que los equipos disponibles para verificarlos. Las señales periódicas no constituyen un problema puesto que hay osciloscopios de muestreo que representan en pantalla hasta los 15 GHz, pero en banda base apenas hay algún equipo que incorporando varios convertidores analógico-digitales ultrarrápidos en paralelo (silicio bipolar más AsGa) puedan llegar a 1 Giga muestra/seg (18 millones de pts en España) de modo que se puedan representar transitorios de 1 nanosegundo.

Los generadores de datos en paralelo los suministran a 50 MHz (tiempos de subida/bajada de 1ns) con lo que realmente un circuito AsGa sólo se puede probar con datos a baja velocidad y la evaluación final ha de ser en su propio entorno. Para sonarlo en oblea, cada señal se ha de extraer con tres microsonidos igualmente espaciados (décimas de milímetro) la central para la señal propiamente dicha y las

7

EVOLUCION DEL RETARDO DE PUERTA CON EL TIEMPO (Como resultado del escalamiento)



“
Las tecnologías
que mezclan
digital y
analógico
en un mismo
sustrato de silicio
están de moda.”

dos laterales a masa apantallando para formar una línea de transmisión que no degrade la alta frecuencia. Las tres han de tocar simultáneamente las zonas de soldadura del circuito (“pads”). El progreso necesario para poder probar ASICs en esta tecnología es evidente y la próxima década ha de suponer un gran avance puesto que se espera que la demanda de ASICs en AsGa **no pueda** ser cubierta por la oferta.

Las tecnologías que mezclan digital y analógico en un mismo sustrato de silicio están de moda y varias empresas empiezan a ofrecer facilidades de integración en full-custom y arrays. Las ventajas inherentes a la tecnología bipolar: bajo ruido, alta tensión y corriente se aplican al diseño de funciones analógicas típicas (amplificadores, voltajes de referencia, modems, etc.) y la alta integración y bajo consumo se dejan al CMOS me-

jor dotado para funciones digitales (memoria, μ P....).

Existen dos enfoques para mezclar lineal y CMOS: LC²MOS (Linear-compatible CMOS) que parte del proceso CMOS y añade las etapas necesarias para formar bipolar y el BIMOS (bipolar-MOS) que parte de la secuencia bipolar para añadir el CMOS. El campo de aplicación es muy variado para los ASICs y el diseño de control inteligente de potencia (Smart Power chips) es uno de los más prometedores. Algunas variantes controlarán hasta 600 voltios y algún que otro amperio. Aunque cada aplicación requerirá un estudio económico para comprobar que se gana algo al tener potencia y control lógico en un único encapsulado con el alto coste asociado al tamaño de circuito que implica la etapa de potencia (aparte del problema térmico que conlleva para el CMOS), en un híbrido (coste implicado) o simplemente potencia y control en dos encapsulados diferentes (mayor espacio). Varios fabricantes están ya ofertando diversas posibilidades en este campo y hay que tomarlo con las sanas precauciones, habituales, respecto a su disponibilidad industrial, asegurándose: 1) que el rendimiento de oblea es estable y adecuado 2) las reglas de diseño estabilizadas 3) las estructuras para validación de proceso y diseño (PVM y DVM) procesados y evaluadas 4) el encapsulado (de potencia) disponible (en grandes cantidades) y fiable y 5) un control de calidad con resultados. Estas cinco observaciones son aplicables en general a cualquier tecnología/fabricante.

En tecnología bipolar la integración no llega a los niveles del CMOS pero indudablemente ha estado progresando ofreciendo una integración creciente en ECL (arrays principalmente) y combinación de tecnologías (potencia alta tensión, lineal y digital), alta velocidad.