

Con la aparición de la Tecnología Planar en 1960, tras el descubrimiento del efecto transistor ahora hace 40 años y su utilización práctica a partir de 1955, se sentaban las bases de una de las evoluciones más vertiginosas que ha conocido la técnica. Y ello no sólo por el avance que ha conseguido la Electrónica en tan pocos años, sino también por la influencia que ha tenido y tiene en todos los aspectos de nuestra vida. No en vano se habla de esta evolución como de una auténtica revolución.

La clave de este éxito radicó en la posibilidad que ofrecía dicha tecnología de integrar diversos componentes sobre un único dado de silicio (chip). Si bien al comienzo el número de componentes por chip era redu-



C. López Barrio, Ingeniero de Telecomunicación, Doctor Ingeniero de Telecomunicación por la UPM, Catedrático de Tecnología Electrónica. Dirige el Laboratorio de Sistemas Integrados que se dedica a la investigación sobre arquitecturas digitales y diseño VLSI.

VLSI o sistemas integrados

Texto: Carlos López Barrio

cido, pronto la tecnología fue mejorándose hasta llegar al momento actual donde pueden integrarse hasta varias centenas de miles. Históricamente, esta evolución de los circuitos integrados (CI) se ha dividido hasta el momento en cuatro etapas distintas, que se caracterizan por la máxima complejidad o nivel de integración alcanzable en una época dada. Dicha evolución suele representarse por lo que ha dado en denominarse "Ley de Moore", que predijo la duplicación de la complejidad de los CI's cada año a partir de 1959. Aunque en la actualidad se observa una clara desviación respecto a esta ley (durante los años 80 el crecimiento por año viene a estar entre el 50 y el 60% en lugar del 100% como anteriormente, y la previsión para los 90 no es superior al 25-30%) —ver fig. 1—, la complejidad ha crecido notablemente desde los primeros circuitos integrados.

Las diversas escalas de integración reciben el nombre de pequeña (SSI: Small Scale Integration), media (MSI: Medium Scale Integration), alta (LSI: Large Scale Integration) y muy alta (VLSI: Very Large Scale Integration). Últimamente se empieza hablar de la ultra alta (ULSI: Ultra Large Scale Integration). La Tabla 2 (1) presenta algunos datos típicos de esta evolución.

De una forma simple podemos decir que la historia de esta evolución es la de un incremento constante del número de componentes por chip y de la reducción de la dimensiones mínimas de los mismos (las anchuras mínimas de los dispositivos utilizados hoy en día están alrededor de la micra —milésima de milímetro—). La Tabla 3 (2) recoge algunos detalles tecnológicos de esta evolución.

LA AVENTURA DE MEAD Y CONWAY

A comienzo de los años 70, Carved Mead en Caltech

(EE.UU.), inició unos cursos sobre diseño de CI MOS conforme a las técnicas entonces empleadas en la industria. De la experiencia obtenida, Mead intuyó la posibilidad de buscar nuevos métodos que simplificasen los procedimientos tradicionales de la industria.

Es a mediados de los 70 cuando comienzan a trabajar Mead (Caltech) y Conway (Xerox, Palo Alto) conjuntamente en busca de una nueva metodología de diseño, que pudiese ser aprendida fácilmente por los diseñadores y que permitiese sacar el máximo partido a los CI's. El resultado fue un texto para un curso universitario, que se impartió por primera vez en el MIT en 1978 y que en poco tiempo se extendió a gran número de universidades de todo el mundo. La ETSI Telecomunicación de Madrid viene impartiendo estos cursos desde el año 1982.

La metodología, inicialmente concebida para prototipos y enseñanza, ha sido trasladada con éxito a los ámbitos industriales, habiendo, además, provocado grandes cambios en la industria de la fabricación de CI's. Agentes de Silicio ("Silicon Brokers": gestionan todo el proceso desde el diseño a la fabricación y test). Fundiciones de Silicio ("Silicon Foundries": fabrican circuitos integrados a partir de las máscaras que reciben). Chip Multiproyecto ("MPC: Multi-Project-Chip": un chip que contiene varios proyectos diferentes, lo que permite repartir costes de máscaras y fabricación durante la fase de desarrollo entre varios diseños) son algunos de los nuevos términos acuñados. Lo que está detrás de todo esto es una nueva industria, que facilita la fabricación de los circuitos que ahora diseña directamente el usuario.

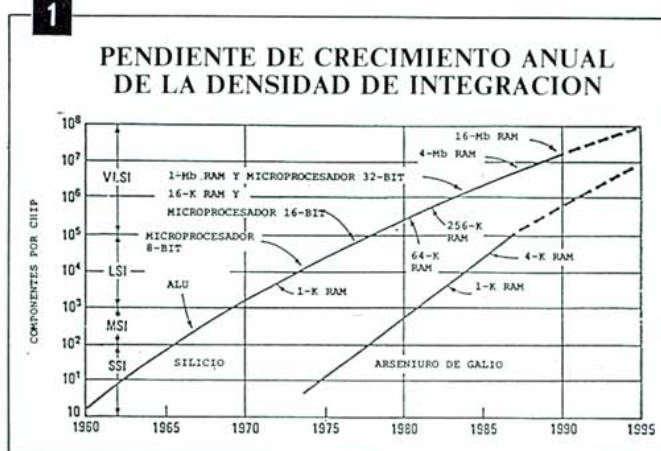
Los objetivos perseguidos por Mead y Conway eran facilitar la realización de diseños estructurados, y la comunicación diseñador-

fabricante. Este ha sido el germen del multimillonario mercado actual de los Circuitos Integrados de Aplicación Específica (ASIC: Application Specific Integrated Circuits).

ASIC: UNA OLA QUE INVADE LA ELECTRONICA

Gracias a las densidades crecientes de integración fue posible disponer de sistemas optimizados en velocidad, espacio, consumo, etc. Sin embargo, paralelo con el aumento de complejidad de los circuitos surgió la reducción del número de usuarios potenciales, lo que llevaba aparejado un alto coste por unidad. Así, el número de circuitos que cumplieran simultáneamente con los requisitos de alta complejidad y gran volumen de producción necesariamente habría de ser reducido (chips de calculadoras, relojes digitales, etc.). Por tanto, la filosofía anterior de que un fabricante concibe, diseña y produce en grandes cantidades circuitos de uso general (CI estándar) ya no es válida. Aparece la necesidad de que el usuario pueda especificar su circuito, ser diseñado por él o por el fabricante en un tiempo razonable, y con unos costes de diseño y producción aceptables (CI "custom" o específico). Esta es precisamente la laguna que vinieron a cubrir Mead y Conway.

Incluso podemos decir que la novedad de la VLSI no reside, aún siendo aspectos importantes, en la reducción del coste del sistema a que da lugar (reemplazar un conjunto de circuitos estándar MSI sobre circuito impreso por un CI de diseño específico puede suponer una reducción en coste de más del 50%), en el mayor número de componentes/chip que permite, o en las mejores características (reducción de consumo y espacio) y fiabilidad que ofrece; y sí reside en los nuevos métodos de diseño que ha habido



2

EVOLUCION DE LOS CI'S

NIVEL DE INTEGRACION	EJEMPLO	Nº PUERTAS LOGICAS/CHIP	PERIODO DE DESARROLLO
SSI	Puertas básicas	K 20	Comienzo de los 60
MSI	Memorias 256 bits	20 — 200	Mediados-finales 60
LSI	1 — 16K RAM	200 — 2000	Comienzo de los 70
VLSI	64K RAM	K 2000	Finales de los 70 en adelante

3

DETALLES TECNOLOGICOS DE LA EVOLUCION DE LOS CI

FECHA	TAMAÑO CHIP	MINIMA ANCHURA	TRANSISTORES/CHIPS
1960	1 mm x 1 mm	30 u	22
1970	2,5 mm x 2,5 mm	10 u	1.250
1980	6 mm x 6 mm	3 u	80.000
LA COMPLEJIDAD SUPERA AL RESTO DE LOS PROBLEMAS. MAS QUE DE CIRCUITOS PODEMOS HABLAR DE SISTEMAS INTEGRADOS.			
1990	10 mm x 10 mm	0,5 u	8.000.000

“
La filosofía de que un fabricante concibe, diseña y produce en grandes cantidades CI's estándar ya no es válida.
”

que concebir para manejar la complejidad inherente a estos circuitos, y en las nuevas arquitecturas digitales que son conseguibles.

Desde la metodología inicialmente propuesta, en la que el diseñador tiene la máxima libertad ("full custom"), se ha pasado a otras alternativas en las que se simplifica el trabajo de diseño al disponer de redes predifundidas de componentes y/o bibliotecas de células, restringiendo por tanto la libertad ("semi-

custom"). Estos son los denominados ASIC. su razón de ser desde el momento en que las compañías de semiconductores no pueden crear los circuitos que necesitan las de sistemas. Pero también existen unos-motivos estratégicos por los que estos circuitos tienen interés. Con ellos las compañías de sistemas pueden mantener en secreto sus diseños, y por tanto la competitividad. La lista de empresas que emplean hoy en día este tipo de circuitos en sus productos sería interminable, y mucho más las que lo harán en el futuro.

Como prueba del éxito de los ASIC, y de su uso y desarrollo crecientes, puede indicarse que, frente a un 32% del mercado de circuitos lógicos en 1986, se prevé que en 3-4 años su consumo suba hasta el 50% del total de los 15.000 M\$ que constituirá por entonces dicho mercado. Y, por otra parte, 1987 es el año en el que el número de puertas en un ASIC es superior al de un circuito integrado estándar.

En cuanto a las arquitecturas, señalemos que en la actualidad se pueden fabricar procesadores en un chip con la potencia de anteriores minicomputadores, que además incluyen nuevas posibilidades, como funciones de soporte para lenguajes de alto nivel y sistemas operativos, o nuevas arquitecturas (p.ej. RISC: Reduced Instruction Set Computer). Asimismo, es factible la construcción de sistemas multiprocesadores y otras arquitecturas de tipo paralelo, facilitada no sólo por la existencia de procesadores de pequeño tamaño, sino también por la disponibilidad de dispositivos, separados o integrados con el procesador, que facilitan la comunicación entre estos. Ejemplo típico de esta posibilidad lo constituye el transputer fabricado por INMOS.

Como resultado de todo este proceso, las alternativas que hoy se le presentan al

usuario a nivel de CI VLSI son tres:

- Circuitos estándar, con funciones típicas como memorias (RAM y EPROM de hasta 4 Mbits, EEPROM de hasta 256 Kbits), microcomputadores o convertidores de datos de gran capacidad y velocidad, y nuevas funciones tales como generadores de voz, procesadores de señales, controladores de comunicaciones, etc.

- ASIC, donde incluimos las redes predifundidas o "gate arrays" y los CI's diseñados en base a una biblioteca de células estándar.

- CI de diseño específico ("custom"), donde el circuito es realizado totalmente a medida del cliente.

TECNOLOGIA Y CAD

Hoy por hoy, el silicio sigue siendo el material básico para la fabricación de CI, y la familia CMOS, con longitudes de canal entre 1.25 y 3 micras, la tecnología más extendida para el diseño de circuitos digitales y para los combinados analógico-digital. Sin embargo, otras familias (bipolar—ECL, IIL, ...—; nMOS) y tecnologías (arseniuro de galio, BiCMOS) tienen también su interés.

Centrados en el diseño, dentro de la VLSI —y más aún con la futura ULSI— la complejidad creciente de los sistemas electrónicos conlleva la necesidad de incrementar la productividad de los diseñadores. Debe buscarse, por tanto, el modo de manejar adecuadamente la complejidad de estos circuitos. La Tabla 4 da una idea clara del problema creciente. En la comparación a lo largo de los años se supone que se utiliza para dibujar los circuitos un papel cuadriculado (1/4 pulgada), y que se desea dibujar el trazado correspondiente a un circuito con un tamaño de 250 mils (1).

Es por ello por lo que se ha aplicado, y se continua

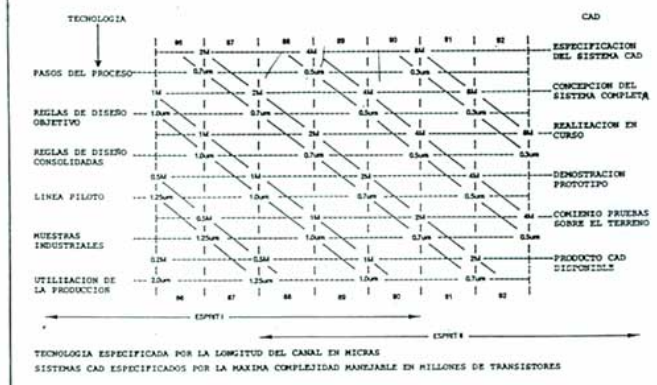
4

EVOLUCION DE LA COMPLEJIDAD

AÑO	DIMENSION CUADRO MINIMO (ANCHURA + SEPARACION)	AREA EQUIVALENTE
Comienzo 70's	17.5 μ	Poster de pared.
Comienzo 80's	8 μ	Suelo de un salón grande.
Mediados 80's	2 μ	Algo menos de una cancha de baloncesto
Mediados 90's	0.4 μ	Alrededor de dos campos de fútbol. (Si 1 cuadro = 1 bloque de una ciudad, mapa de Europa a nivel de densidades urbanas).

5

EVOLUCION PARALELA DE LA TECNOLOGIA CMOS Y DE LAS HERRAMIENTAS CAD EN EL PROGRAMA ESPRIT.



aplicando, un gran esfuerzo en la concepción de herramientas CAD que ayuden o automaticen este proceso (especificación, simulación, síntesis, trazado, test, etc.). Tal es así que, frente a un esfuerzo tecnológico aplicado exclusivamente hace unos años a los procesos, e la actualidad este esfuerzo ha quedado reducido a un 80%, estando el 20% restante dirigido a la tecnología de las herramientas de diseño. Esta tendencia parece mantenerse para el futuro, y existen previsiones de que en unos diez años el reparto será a partes iguales, o en todo caso balanceado a favor de las herramientas.

HACIA LOS SISTEMAS INTEGRADOS

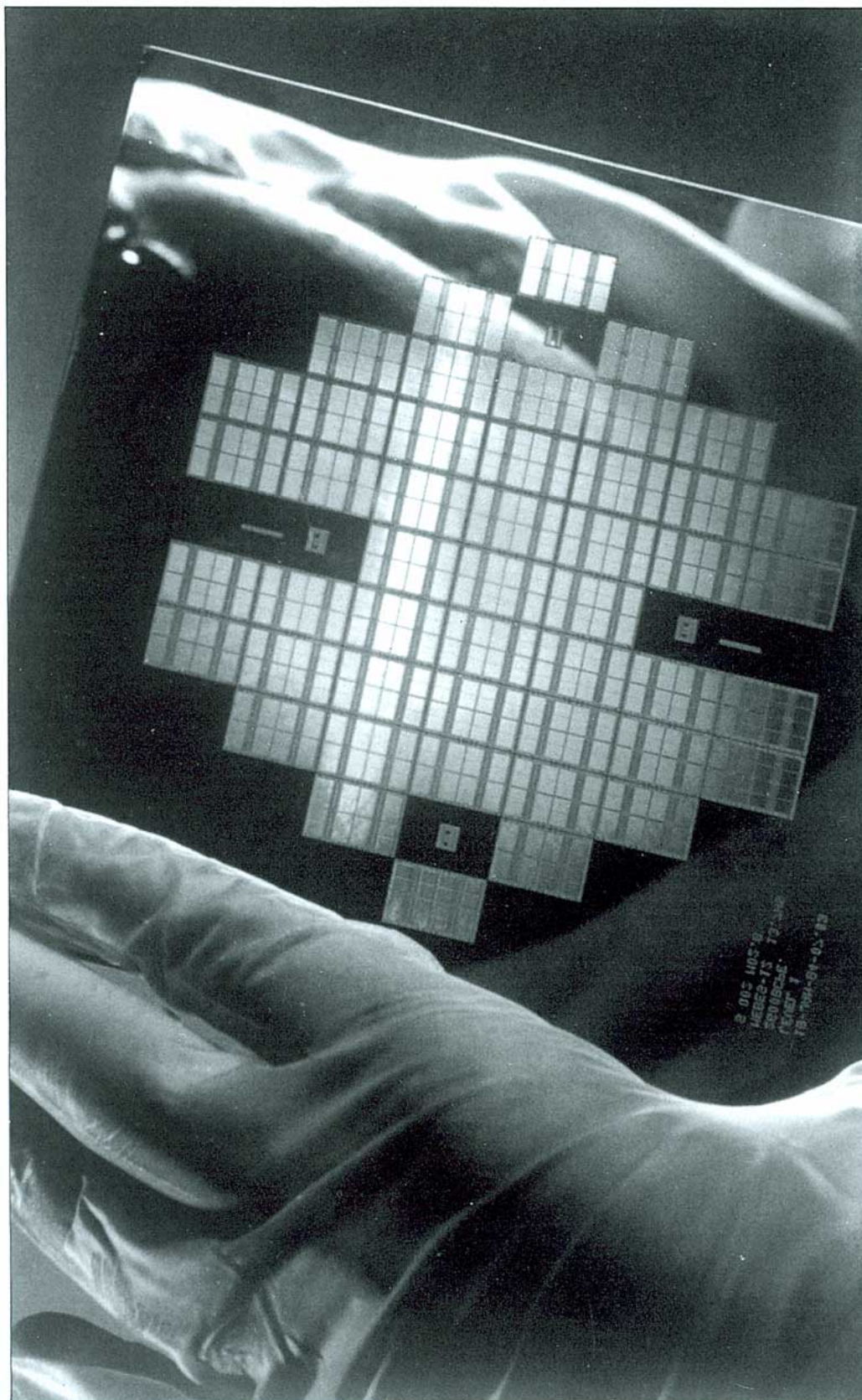
El análisis de la historia

pasada no deja duda alguna sobre cual ha de ser el camino a seguir por el diseño microelectrónico en el futuro: Nuevas Tecnologías con prestaciones cada vez más óptimas, incremento continuo de la complejidad, y herramientas CAD más potentes que faciliten el manejo de tal complejidad. A continuación trataremos de concretar muy brevemente los aspectos anteriores.

Por lo que se refiere a la tecnología, parece que existe un claro acuerdo en que la tecnología CMOS continuará dominando el mercado, si bien otras tecnologías también tendrán sus áreas de aplicación más o menos importantes (bipolar, GaAs, etc.). Por lo que se refiere a los equipos de procesos, no parece previsible un cambio brusco hasta por lo menos mediados los 90. La litografía continuará siendo fundamentalmente óptica, con una paulatina entrada de los rayos X para acercarse al margen de las 0.3 micras (reto que se plantea para la primera mitad de los 90 el programa europeo ESPRIT). Por supuesto, el grado de automatización será creciente hasta conseguir el procesamiento total sin intervención humana directa.

Conforme avance la tecnología (reducción de la longitud del canal de los transistores y aumento de los tamaños de chip), el número de componentes por CI crecerá paulatinamente hacia varios millones. La tendencia futura que se prevé es la de poder incluir hasta mil millones de componentes en un chip (que podría tener el tamaño de una oblea—"wafer scale integration"—) hacia el año 2000. Sin entrar en la discusión de qué puede interesar integrar con tan elevado número de componentes, es evidente que la complejidad de estos circuitos no podrá ser manejada si no se dispone de herramientas CAD adecuadas: con capacidad de especificar un sistema a nivel de comportamiento, traducción automá-

“Se va hacia los mil millones de componentes en un chip.”



tica desde dicho nivel al de transistor y trazado ("lay-out") —compiladores de silicio—, con técnicas de inteligencia artificial, utilizando bibliotecas de células que puedan pasar de una a otra tecnología de forma simple, disponiendo de mejores simuladores (mixtos analógicos y digitales, etc.), ... Y, por supuesto, las nuevas herramientas ayudarán no sólo en la fase de diseño, una vez se sabe qué hacer, sino también en la previsa de decisión a nivel arquitectural, donde se plantea el compromiso entre consumo, velocidad y precio.

Como apoyo de lo anteriormente dicho, la figura 5 presenta la evolución paralela prevista para la tecnología CMOS y las herramientas CAD en el marco del programa ESPRIT de la Comunidad Económica Europea.

A plazo inmediato los ASIC tendrán un desarrollo notable, de modo que, frente a unos 6.000 diseños realizados en 1985 en todo el mundo y unos 12.000 en 1986, se pasará previsiblemente en 1990 a unos 90.000

Todo lo anterior nos lleva a concluir que los circuitos integrados serán diseñados por ingenieros de sistemas, sin que sea requisito necesario un profundo conocimiento sobre diseño físico (trazado, capacidades, ...), cuya función será desempeñada por herramientas CAD adecuadas. O lo que es lo mismo, los ingenieros deberán diseñar sus sistemas directamente sobre silicio, para lo que se requerirán herramientas adaptadas a estos usuarios.

REFERENCIAS BIBLIOGRAFICAS

(1) "Very Large Scale Integration: VLSI Fundamentals and Applications". D.F. Barbe (Editor). Springer-Verlag, 1982.

(2) "VLSI and Machine Architecture". "VLSI Architecture". Edited by B. Randell and P.C. Treleaven. Prentice-Hall International, 1983.