

**Estudio, Diseño e Implementación de un Circuito
Serializador a 2.5 Gbps para Conmutadores de Alta
Velocidad en SiGe.**

Resumen

1 Descripción del trabajo

1.1 Orígenes

El espectacular avance experimentado en los últimos años por las tecnologías de transmisión de datos, especialmente el desarrollo de la tecnología óptica, ha posibilitado que en la actualidad se pueda disponer de una gran cantidad de ancho de banda a un coste relativamente bajo. Sin embargo, la capacidad de los sistemas de conmutación no ha avanzado a la par. Esta carencia, junto con el explosivo crecimiento en el número de usuarios de Internet, hace previsible que los conmutadores se conviertan en el cuello de botella de las futuras redes de comunicación. Por otro lado, la tendencia actual hacia la convergencia de diferentes tipos de tráfico, alentada por nuevas aplicaciones como telefonía sobre IP (*Internet Protocol*) y videoconferencia entre otras, impone la necesidad de diseñar conmutadores capaces de proporcionar garantías de retardo y ancho de banda además de ser más rápidos, siendo ésta una de las áreas que está generando mayor interés tanto en el campo de la investigación como en el desarrollo industrial.

La mayor parte de los conmutadores de alta velocidad actuales se basa en el uso de matrices de conmutación de paquetes sin bloqueo, en las que la transferencia de información entre los puertos de entrada y los puertos de salida se establece a partir de células de tamaño fijo, siendo posible la transferencia simultánea de múltiples células entre diferentes puertos de entrada y de salida. Por lo general, y como consecuencia de sus dimensiones, la realización física de los sistemas de conmutación de alta velocidad comercialmente disponibles se basa en un conjunto de tarjetas de línea, correspondientes a cada uno de los puertos de E/S del conmutador, interconectadas entre sí a través de una matriz de conmutación central síncrona localizada en una tarjeta de circuito impreso (PCB) independiente.

La transferencia de las células desde cada uno de los puertos de entrada a la matriz de conmutación se realiza a través de un *backplane* de alta velocidad. En este sentido, uno de los problemas básicos asociados a la realización física de un sistema de conmutación modular de altas prestaciones en el que los puertos de entrada/salida y la matriz de conmutación residen en tarjetas diferentes, radica en la transferencia de información entre tarjetas a alta velocidad. Esta comunicación debe realizarse sobre un *backplane* formado por líneas de circuito impreso, que suele ser complejo como consecuencia del elevado número de puertos de los sistemas de conmutación.

Un *backplane* serie está formado por enlaces serie punto a punto de alta velocidad. Cada una de las tarjetas de los puertos de E/S tiene uno o más de un enlace serie con la tarjeta de conmutación central para la transferencia de información de control y de datos. Así, en cada una de las entradas y salidas de la matriz de conmutación se utiliza un dispositivo Serializador/Deserializador (SERDES) con el fin de serializar los datos de salida enviados a cada uno de los puertos de destino y paralelizar los datos recibidos desde cada uno de los puertos de entrada a alta velocidad antes de llevar a cabo su conmutación, respectivamente. La utilización de enlaces serie punto a punto de alta velocidad para la transferencia de los paquetes desde cada uno de los puertos de entrada hacia la matriz de conmutación permite reducir el número de conexiones y facilitar la escalabilidad del sistema, puesto que la tecnología actual permite disponer de dispositivos comerciales con velocidades de transferencia superiores a 2.5 Gbps.

La ventaja de utilizar enlaces serie frente al uso de enlaces paralelos radica en el número de enlaces necesarios, y en que el reloj quede embebido en el mismo enlace. Esta inclusión del reloj en las tramas de datos serie reduce el tiempo necesario para el proceso de sincronismo del bus paralelo. Sin embargo, el elevado consumo de los dispositivos SERDES puede representar una limitación efectiva de la velocidad máxima que es posible obtener en un conmutador basado en esta arquitectura.

1.2 Objetivos

El principal objetivo de este Proyecto Fin de Carrera es el estudio, diseño e implementación de una unidad serializadora de 32 bits a 2.5 Gbps en silicio-germanio (SiGe), prestando especial atención a la optimización de la disipación de potencia. A fin de facilitar la consecución de este objetivo general, se han establecido una serie de hitos parciales que se detallan a continuación:

- Estudio de la tecnología de SiGe y de las librerías disponibles para la realización de este Proyecto Fin de Carrera.
- Estudio de las herramientas necesarias en cada una de las fases del trabajo, de acuerdo a la metodología de diseño.
- Estudio de las unidades serializadoras/deserializadoras con especial atención a las estructuras más comunes y las topologías empleadas.

- Definición de la arquitectura a implementar, así como los criterios que permitan evaluar y validar el cumplimiento de las especificaciones.
- Implementación esquemática y física, incluyendo el dimensionado de los elementos que constituyen la arquitectura de la unidad serializadora.
- Extracción de parásitos, implementación del sistema de evaluación y simulación *post-layout* de la unidad serializadora para verificar su funcionalidad final, como paso previo a su fabricación.

1.3 Desarrollo

En el marco de las comunicaciones serie a alta velocidad, en el presente Proyecto Fin de Carrera se ha realizado el estudio, diseño e implementación de un circuito serializador a 2.5 Gbps en tecnología SiGe BiCMOS, debido a que las grandes características que proporciona se ajustan perfectamente a las necesidades del circuito propuesto. Las propiedades de esta tecnología quedaron reflejadas en un estudio general, en el que se destacaron las ventajas que presenta frente a otras tecnologías. Así, en comparación con CMOS, SiGe permite alcanzar frecuencias de trabajo muy superiores con el mismo nivel de escalado tecnológico. Además, mediante la combinación de transistores bipolares y transistores MOS (lógica BiCMOS) se ha conseguido aunar las propiedades de ambas familias lógicas, lo cual posibilita el diseño de circuitos capaces de alcanzar grandes velocidades con un consumo más reducido que el que ofrecen otras tecnologías como InP y GaAs.

Con el fin de establecer la arquitectura del serializador, se realizó un profundo estudio de las estructuras más empleadas en este tipo de circuitos, en el que se pusieron de manifiesto las ventajas y las carencias de cada una de ellas. Por otro lado, se analizaron las propiedades de los elementos de diseño proporcionados en la librería tecnológica, con el objetivo de determinar su nivel de aplicación en el diseño. Este análisis permitió definir la arquitectura final del multiplexor 32:1, constituido por cinco etapas de multiplexores 2:1 en árbol. A fin de reducir el consumo de potencia, se optó por un diseño BiCMOS, en el cual las tres etapas de menor velocidad de transferencia se implementaron en CMOS, mientras que en las dos etapas más rápidas se empleó lógica bipolar.

La implementación de este circuito BiCMOS en SiGe ha obligado a desarrollar una metodología de trabajo en la que se ha combinado el diseño *full-custom* con la síntesis física basada en células estándar, para lo cual se han tenido que utilizar diferentes herramientas. El flujo de diseño de los circuitos *full-custom* comenzó con una descripción esquemática de los elementos que formaban parte

del circuito final y su simulación mediante *Hspice*. El resultado de estas simulaciones ayudó a determinar la funcionalidad de los circuitos, así como las prestaciones que podían ofrecer. A continuación, se realizó el trazado físico (*layout*) de forma manual mediante la herramienta *Cadence Virtuoso*, prestando especial atención al tamaño de las pistas, la situación de los componentes y su simetría, factores que determinan las propiedades finales del diseño. Por último, se procedió a realizar nuevas simulaciones a partir de la extracción del circuito diseñado junto con las resistencias y capacidades parásitas.

Por otro lado, el diseño basado en células estándar partió de una descripción hardware sintetizable del circuito a implementar para proceder a su síntesis física una vez verificada mediante simulaciones funcionales. En este caso, el diseño físico se realizó de manera automática mediante *Silicon Ensemble*, siendo este proceso mucho más rápido que el correspondiente en el diseño *full-custom*. A continuación, se generó una *netlist Hspice* que posteriormente se simuló, con el objetivo de comprobar su funcionamiento y de extraer datos referentes a consumo de potencia e integridad de la señal.

Una vez completado el diseño de ambos circuitos, se realizó su unión y la simulación conjunta, con el fin de verificar que el diseño físico realizado satisfacía las especificaciones iniciales establecidas en los objetivos del Proyecto Fin de Carrera, obteniéndose circuito de la Figura 1.

1.4 Conclusiones

En el presente Proyecto Fin de Carrera se ha implementado un circuito serializador de 32 entradas a 2.5 Gbps en SiGe de bajo consumo de potencia para conmutadores de alta velocidad, cumpliendo de esta forma el objetivo principal. Con el fin de reducir al máximo la disipación de la potencia, se han utilizado dos familias lógicas diferentes (CMOS y ECL), por lo que el diseño final está formado por un circuito basado en células estándar (CMOS) y un circuito a base de transistores bipolares (ECL). Es, por lo tanto, una aportación de este Proyecto Fin de Carrera la realización de un flujo de diseño completo con la tecnología S35D4M5 de AMS para circuitos *full-custom* BiCMOS, diseños basados en células estándar y para estructuras mixtas formadas por una combinación de las anteriores.

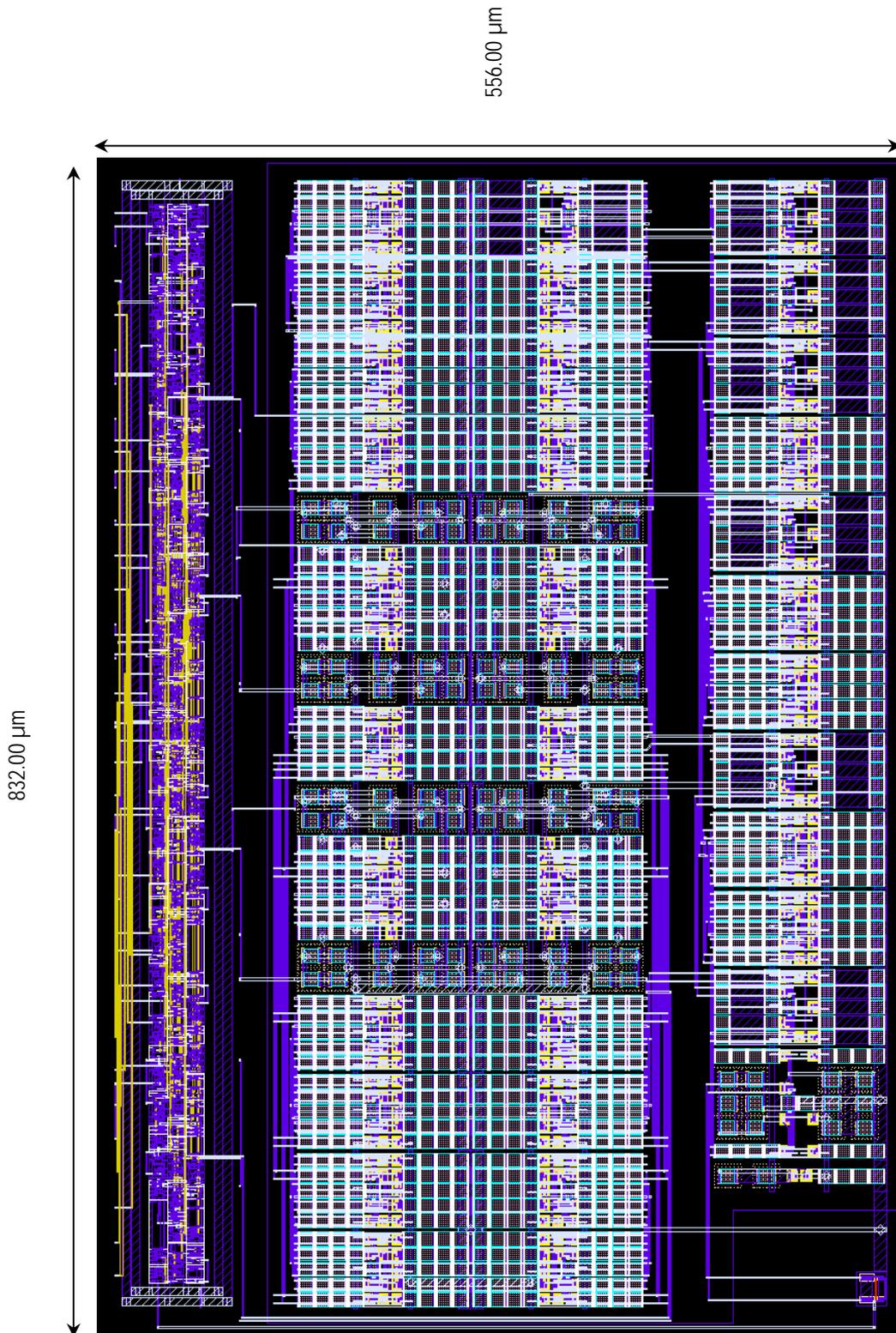


Figura 1. Vista *layout* de la unidad serializadora de 32 bits a 2.5 Gbps.

En lo que a las prestaciones del diseño se refiere, en este Proyecto Fin de Carrera se ha generado un circuito integrado de reducidas dimensiones ($< 0.5 \text{ mm}^2$), lo que facilita su integración en sistemas más complejos. En cuanto a la disipación de potencia, se ha conseguido el objetivo propuesto inicialmente, ya que el consumo total del serializador es inferior a 400 mW con tensiones de alimentación nominales, valor que puede disminuirse aún más reduciendo la tensión de alimentación, ya que se ha comprobado que el circuito funciona correctamente con un 6.5 % menos de alimentación, obteniéndose de esta forma una reducción de potencia de aproximadamente un 15 %. También se ha verificado su funcionamiento a valores superiores de alimentación y a frecuencias superiores a las especificadas llegando a comprobar que el circuito opera correctamente a una tasa binaria de 2.75 Gbps.

Las simulaciones *post-layout* han demostrado que el serializador diseñado cumple con las especificaciones propuestas, por lo que podría emplearse en aplicaciones comerciales que requieran tasas binarias de 2.5 Gbps. Sirvan como ejemplos los estándares de comunicaciones ópticas SONET en su especificación OC-48, Fibre Channel o Infiniband, ampliamente utilizados en los sistemas actuales. De hecho, el circuito presentado en este Proyecto Fin de Carrera es una de las primeras unidades serializadoras de 32 bits a 2.5 Gbps diseñadas en SiGe para uso comercial, ya que en la amplia bibliografía consultada no se ha encontrado ningún circuito de similares características con el que poder compararlo. Además, al haberse finalizado el flujo de diseño, incluyendo las simulaciones en las diez esquinas que especifica el fabricante, el circuito se presenta preparado para ser fabricado.

Por último, hay que destacar la aportación de nuevas estructuras para la conversión de niveles lógicos de diferentes familias. En el presente Proyecto Fin de Carrera se han utilizado dos circuitos conversores de niveles de tensión CMOS a ECL y viceversa, siendo el conversor CMOS-ECL totalmente novedoso, al no haberse encontrado ningún otro similar, y por el hecho de estar formado íntegramente por transistores bipolares y resistencias, lo que facilita su utilización no sólo en diseños BiCMOS, sino en aquellos sistemas que únicamente puedan implementarse con lógica bipolar y requieran convertir datos provenientes de circuitos basados en lógica CMOS.

2 Originalidad

Como ya se ha comentado anteriormente, el circuito presentado en este Proyecto Fin de Carrera es una de las primeras unidades serializadoras de 32 bits a 2.5 Gbps diseñadas en SiGe para uso comercial, como ha quedado reflejado en el artículo presentado en el congreso XX Conference on Design of Circuits and Integrated Systems (DCIS 2005) celebrado en Lisboa, Portugal, del 23 al 25 de Noviembre de 2005 (ver Anexo I).

Por otro lado, la labor realizada en este Proyecto Fin de Carrera fue reconocida por la Cátedra Telefónica a través de una beca de PFC (ver Anexo II) y por el programa de mecenazgo INNOVA de la Fundación Universitaria de Las Palmas (ver Anexo III) que permite en la actualidad continuar el trabajo iniciado con este Proyecto Fin de Carrera durante el presente año, con el fin de desarrollar una familia de enlaces serie formados por circuitos serializadores/Deserializadores de alta velocidad con diferentes características de consumo de potencia y frecuencia de funcionamiento.

Por último hay que destacar que dicho Proyecto Fin de Carrera fue financiado por el Ministerio de Ciencia y Tecnología a través del Proyecto TIC2002-02998: Diseño e implementación de un chipset (transceptor y matriz de conmutación) para transmisión de paquetes de alta velocidad (ver Anexo IV).

3 Resultados

A continuación se muestran los resultados obtenidos a partir de las diferentes simulaciones *post-layout* realizadas.

3.1 Simulación aleatoria

El objetivo de esta simulación es comprobar que el circuito implementado es completamente funcional en todas las esquinas especificadas por el fabricante de la tecnología. Para ello, se empleó un patrón de tramas aleatorio a 78.125 Mbps en cada entrada, que fue introducido al circuito alimentado con 3.3 V. En la Tabla 1 se muestran los parámetros de la señal de salida, cuya forma de onda en todas las esquinas se refleja en la Figura 2.

	TM	WO	WOF	WOS	WP	WS	WSH	WZ	WZF	WZS
Pot. (VCC) (mW)	360.6	351.6	488.0	286.5	488.0	286.4	280.5	351.4	487.9	286.4
Pot. (VDD) (mW)	23.76	24.38	24.90	24.08	28.33	22.72	21.85	25.32	25.85	25.30
Potencia Total (mW)	384.36	375.98	512.9	310.58	516.33	309.12	302.35	376.72	513.75	311.7
Amplitud (mVpp)	286.8	262.1	314.1	282.0	312.7	282.1	255.8	262.6	313.9	282.6
Tiempo subida (ps)	138.3	159.7	95.98	199.9	94.54	199.9	205.5	162.7	95.89	200.7
Tiempo bajada (ps)	139.9	157.7	97.48	201.2	98.78	205.3	205.9	157.4	97.11	201.4
Ancho n. alto (ps)	259.8	241.0	303.3	200.2	305.6	200.3	195.3	233.4	303.4	199.5
Ancho n. bajo (ps)	261.0	242.8	305.4	202.1	306.4	201.9	197.6	243.1	305.1	201.1

Tabla 1. Parámetros de la señal de salida obtenidos a partir de la simulación aleatoria *post-layout*.

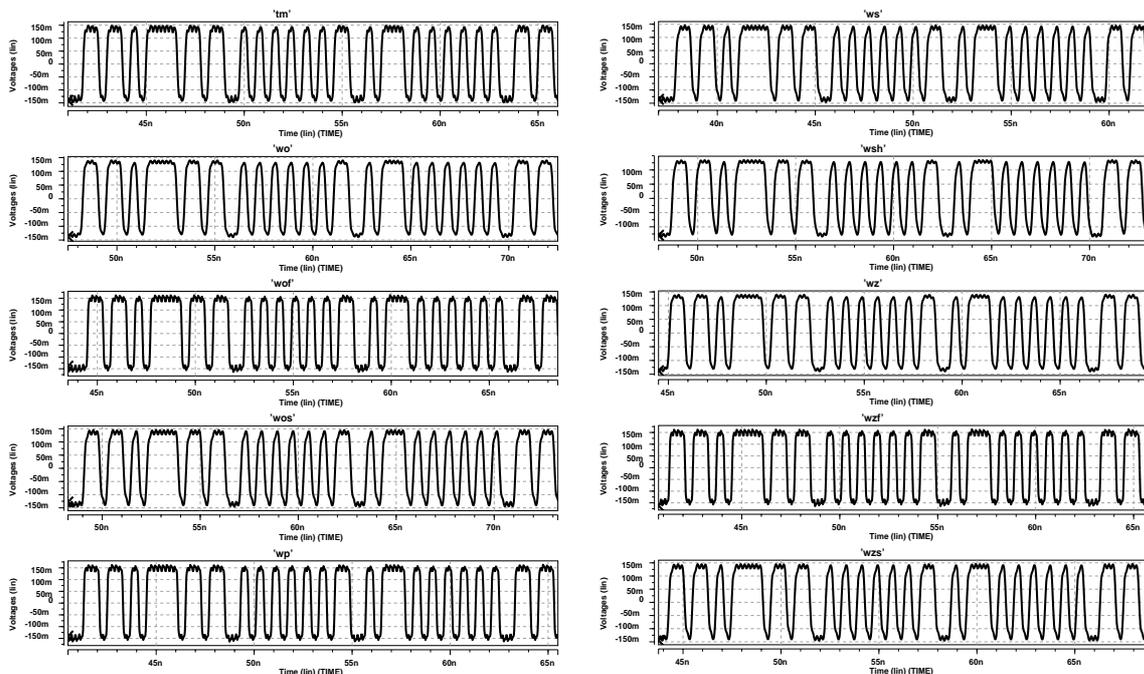


Figura 2. Forma de onda de la señal de salida de la simulación aleatoria en las diez esquinas.

3.2 Simulación de un único bit a nivel alto o bajo

A fin de demostrar que se producía una correcta transferencia de los datos de todas y cada una de las entradas hacia la salida de la unidad serializadora implementada, se dispuso un patrón de 32 tramas en el que cada una de ellas contenía únicamente un bit a nivel alto o bajo, mientras que el resto permanecía a nivel bajo o alto. Los datos más relevantes de esta simulación se muestran en la Tabla 2 y en la Tabla 3.

	TM	WO	WOF	WOS	WP	WS	WSH	WZ	WZF	WZS
Amplitud (mVp)	143.7	130.4	157.1	141.1	156.2	141.1	124.3	130.7	156.2	141.2
Tiempo subida (ps)	142.9	169.6	100.2	204.1	101.8	203.6	221.4	173.7	100.4	209.1
Tiempo bajada (ps)	145.6	174.5	105.5	223.7	105.6	229.2	216.4	174.7	105.5	223.7
Ancho n. alto (ps)	260.3	239.7	303.5	200.3	303.9	200.3	164.9	231.8	305.0	190.3

Tabla 2. Parámetros de la señal de salida obtenidos a partir de la simulación de un único bit a nivel alto.

	TM	WO	WOF	WOS	WP	WS	WSH	WZ	WZF	WZS
Amplitud (mVp)	-143.7	-129.7	-157.7	-140.8	-156.9	-140.8	-124.1	-130.1	-156.9	-140.9
Tiempo subida (ps)	144.2	171.7	103.8	214.1	103.8	223.0	212.3	172.1	103.7	214.2
Tiempo bajada (ps)	143.8	170.2	101.6	212.8	103.3	212.0	221.2	172.7	101.5	216.3
Ancho n. bajo (ps)	260.7	238.8	302.4	190.4	302.6	190.5	163.2	232.4	304.1	182.1

Tabla 3. Parámetros de la señal de salida obtenidos a partir de la simulación de un único bit a nivel bajo.

3.3 Tolerancia a variaciones de la tensión de alimentación

El objetivo era estudiar la respuesta del diseño a variaciones de la tensión de alimentación. Para ello, se alimentó el circuito con diferentes valores de tensión en un rango de 2.9 V a 3.7 V. Los resultados obtenidos demostraron que el circuito es capaz de funcionar en las diez esquinas con una tensión de alimentación mínima de 3.1 V. Por otro lado, con valores de tensión superiores al nominal hasta 3.7 V el circuito no presentó ningún problema de funcionamiento. En la Tabla 4 y en la Tabla 5 se muestran los datos obtenidos para valores de alimentación de 3.1 V y 3.7 V respectivamente.

	TM	WO	WOF	WOS	WP	WS	WSH	WZ	WZF	WZS
Pot. (VCC) (mW)	308.9	301.1	418.3	245.5	418.3	245.4	240.3	301.0	418.3	245.5
Pot. (VDD) (mW)	20.20	20.73	21.24	20.39	24.15	19.51	18.93	21.34	21.47	21.44
Potencia Total (mW)	329.10	321.83	439.54	265.89	442.45	264.91	259.23	322.34	439.77	266.94
Amplitud (mVpp)	246.3	221.5	272.0	240.5	272.0	240.1	211.3	221.4	272.1	245.8
Tiempo subida (ps)	142.6	179.4	100.6	206.0	100.6	206.2	218.7	179.8	100.6	211.8
Tiempo bajada (ps)	146.9	177.3	101.5	204.3	102.7	204.6	219.2	177.2	101.6	210.2
Ancho n. alto (ps)	254.9	221.6	297.7	194.1	298.2	193.0	181.7	219.8	298.1	194.0
Ancho n. bajo (ps)	255.1	223.0	300.2	195.8	298.5	194.3	180.2	223.0	299.8	195.6

Tabla 4. Parámetros de la señal de salida obtenidos a partir de la simulación a 3.1 V.

	TM	WO	WOF	WOS	WP	WS	WSH	WZ	WZF	WZS
Pot. (VCC) (mW)	475.6	463.9	643.2	377.7	643.2	377.6	370.0	463.7	643.1	377.6
Pot. (VDD) (mW)	32.31	32.95	33.87	33.83	38.36	28.97	29.27	34.21	35.65	33.86
Potencia Total (mW)	507.91	496.85	677.07	411.53	681.56	406.57	399.27	497.91	678.75	411.46
Amplitud (mVpp)	362.1	341.3	388.4	357.4	388.0	358.0	333.1	341.3	388.4	358.1
Tiempo subida (ps)	135.0	152.7	86.70	197.6	86.90	191.2	195.7	152.5	89.98	191.1
Tiempo bajada (ps)	137.2	152.2	86.18	198.2	91.17	193.7	197.5	151.9	85.22	193.2
Ancho n. alto (ps)	265.7	247.6	316.7	200.6	316.0	208.4	203.3	245.2	314.0	208.5
Ancho n. bajo (ps)	262.0	248.4	310.5	199.1	306.1	207.3	201.6	248.6	311.3	206.4

Tabla 5. Parámetros de la señal de salida obtenidos a partir de la simulación a 3.7 V.

3.4 Frecuencia máxima de funcionamiento

Con el fin de comprobar la robustez del diseño, se realizaron simulaciones variando la frecuencia de funcionamiento. Se determinó que el circuito funciona correctamente a una frecuencia máxima de 2.75 GHz. Si se comparan los resultados de la Tabla 6 con los de la Tabla 1 se puede comprobar que el consumo de potencia de la etapa ECL no ha aumentado, a pesar de trabajar a una frecuencia superior. Sin embargo, el consumo de los transistores MOS se ha incrementado ligeramente. La Figura 3 muestra las formas de onda de la señal de salida.

	TM	WO	WOF	WOS	WP	WS	WSH	WZ	WZF	WZS
Pot. (VCC) (mW)	360.6	351.6	488.0	286.5	488.0	286.4	280.5	351.4	487.9	286.4
Pot. (VDD) (mW)	25.54	26.15	26.47	25.85	31.51	24.86	24.04	26.78	27.35	26.77
Potencia Total (mW)	386.14	377.75	514.47	312.35	519.51	311.26	304.54	378.18	515.25	313.17
Amplitud (mVpp)	288.3	263.5	314.4	278.5	312.9	278.9	247.5	263.6	313.7	279.1
Tiempo subida (ps)	135.6	174.6	106.8	201.9	104.6	202.8	201.6	175.5	105.2	207.7
Tiempo bajada (ps)	136.9	173.7	107.5	205.3	105.2	203.4	203.4	175.3	107.0	206.1
Ancho n. alto (ps)	219.9	186.7	252.1	158.1	254.2	157.7	197.2	185.0	254.1	151.3
Ancho n. bajo (ps)	223.6	186.3	253.8	154.7	256.0	157.0	195.6	186.1	253.7	154.0

Tabla 6. Parámetros de la señal de salida obtenidos a partir de la simulación a 2.75 GHz.

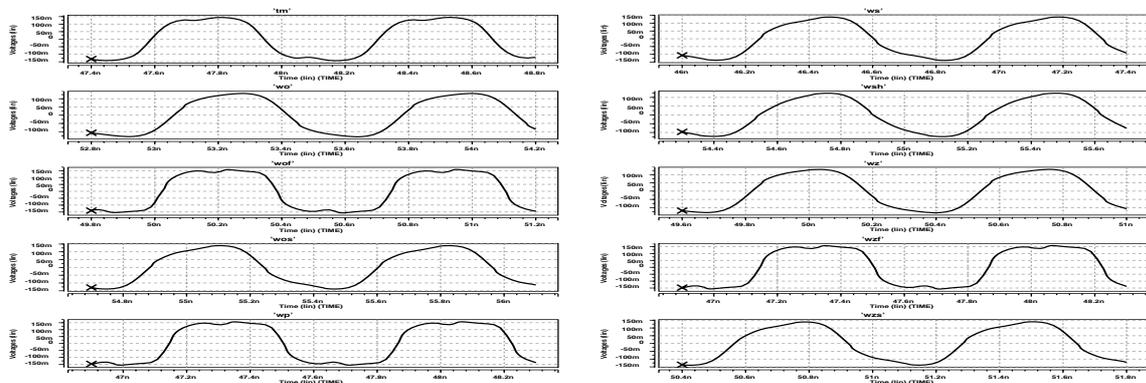


Figura 3. Detalle de los pulsos de la señal de salida de la simulación a 2.75 GHz en las diez esquinas.

4 Aplicabilidad

El desarrollo de las comunicaciones por fibra óptica ha posibilitado el aumento de la velocidad de transmisión de datos y, como consecuencia, la aparición de nuevas aplicaciones basadas, en su mayoría, en el uso de internet. Debido a este auge de intercambio de información, surge, a mediados de la década de los 80, el estándar de comunicaciones de datos sobre redes de fibra óptica SONET (Synchronous Optical Network). Este estándar define una tecnología para transmitir múltiples señales a través de un único canal mediante un esquema de multiplexación por división en el tiempo. De esta forma, varias señales de baja velocidad se envían por un mismo cable (fibra óptica) en intervalos de tiempo distintos y a una velocidad global muy superior a la original. A medida que se incrementaba el flujo de información a transmitir, se fueron definiendo nuevas especificaciones de velocidad en el estándar SONET hasta sobrepasar tasas 1 Gbps. Actualmente, las tasas binarias más usadas son las de 2.5 Gbps (OC-48), 10 Gbps (OC-192) y 40 Gbps (OC-768), mientras que la especificación OC-3072, que define una velocidad de 160 Gbps, se encuentra en fase de estudio.

En entornos más reducidos, como en redes de área local, no es necesario un equipamiento tan complicado como el que define SONET. Por este motivo, se han desarrollado otros estándares sobre fibra óptica que definen tasas de transferencia igualmente elevadas. La norma más utilizada en redes locales es Ethernet. En sus orígenes, este estándar fue diseñado para tasas de 10 Mbps. Sin embargo, el rápido crecimiento de las redes de ordenadores motivó sucesivas ampliaciones a 100 Mbps (Fast Ethernet), 1 Gbps y 10 Gbps (Gigabit Ethernet). Además de un aumento de la velocidad de los datos, el estándar Gigabit Ethernet introdujo otras características necesarias para soportar tan altas tasas de transferencia. En concreto, se definió una nueva interfaz entre la capa de enlace de datos y el nivel físico llamada XAUI (10 Gigabit Attachment Unit Interface), que establece cuatro canales de transmisión de datos a una tasa de 3.125 Gbps cada uno, lo que da lugar a los 10 Gbps totales más 2.5 Gbps de redundancia. Es en esta nueva interfaz donde las unidades serializadoras/deserializadoras juegan un papel determinante, puesto que los circuitos que la implementan suelen ser transceptores de alta velocidad.

Además del estándar Ethernet, se desarrollaron otras tecnologías para la conexión de redes de ordenadores, como Fibre Channel o Infiniband. Sin embargo, debido a la masiva utilización de Ethernet, estas nuevas tecnologías se dedicaron a otros propósitos. En concreto, Fibre Channel ha tenido un gran éxito en el ámbito de las redes de almacenamiento de datos (SAN, *Storage Area Network*), hasta tal punto que se ha convertido en la opción más empleada en este campo. Debido a la

gran cantidad de información que se maneja actualmente (datos, video, sonido, etc), se ha hecho imprescindible la instalación de servidores específicos para el almacenamiento de la información. Como consecuencia, las empresas disponen, además de la red local, de redes adicionales para el intercambio de información entre los servidores que la almacenan y las máquinas a las que se conectan los usuarios. Tradicionalmente, las redes de almacenamiento estaban basadas en el protocolo SCSI (*Small Computer System Interface*), el cual define el intercambio de información a través de buses paralelos. Sin embargo, debido al aumento del volumen de información y a la necesidad de disponer de la misma en menor tiempo, SCSI fue reemplazado por Fibre Channel, un protocolo serie de comunicación asíncrona. En la actualidad hay definidos cuatro estándares de velocidad en Fibre Channel, cuyas velocidades varían desde 1.0625 Gbps hasta 10.5 Gbps.

Además de las comunicaciones de alta velocidad entre ordenadores separados por largas distancias, las unidades serializadoras juegan un papel determinante en la transferencia de datos entre tarjetas de un sistema de conmutación modular de altas prestaciones. Tradicionalmente, el intercambio de información sobre un *backplane* se realizaba mediante un bus de datos paralelo, siendo VME (*VersaModule Eurocard*) y VXI (*VMEbus extension for Instrumentation*) los estándares más empleados. Sin embargo, el aumento de velocidad de las comunicaciones junto con el incremento del tamaño de los buses han generado numerosos problemas derivados de la interconexión de un gran número de líneas entre placas de circuito impreso a alta velocidad. Estos factores han hecho que las comunicaciones por bus paralelo se sustituyan por enlaces serie, definiéndose para este fin diferentes estándares de comunicación como Serial RapidIO y PCI Express.

Recientemente, el uso de enlaces serie de alta velocidad se está extendiendo a la comunicación entre *chips* de una misma tarjeta. Hoy en día, un buen número de aplicaciones necesitan realizar grandes transferencias de datos entre circuitos integrados. Sin embargo, debido a problemas similares a los aparecidos en la interconexión de tarjetas, estas comunicaciones se están serializando mediante los estándares definidos para transferencias dentro de *backplanes*.

Anexo I

Artículo publicado en el congreso XX Conference on Design of Circuits and Integrated Systems (DCIS 2005) celebrado en Lisboa, Portugal, del 23 al 25 de Noviembre de 2005. Ver fichero [dcis.pdf](#).